

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORLED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

1/1 JAPIO - (C) JPO

PN - JP 07044502 A 19950214 [***JP07044502***]

TI - DUALMICROPROCESSOR

IN - ANEZAKI MITSUGI

PA - NEC CORP

AP - JP18838293 19930729 [1993JP-0188382]

IC1 - G06F-015/16

IC2 - G06F-015/16

AB - PURPOSE: To obtain a microprocessor with a small mounting area suitable for load distribution processing by adhering two microprocessors formed in a face symmetry back to back.

- CONSTITUTION: Microprocessors 1, 2 formed in a face symmetry are adhered back to back. External memory access control circuits 12, 22 implement read control of a program conducted by CPUs 10, 20 from an external memory and write control to cache memories 11, 12. The contention produced by using one external bus 300 by two external memory access control circuits 12, 22 is avoided by providing priority to one as a master processor and giving a bus use right to an external memory access circuit belonging to the processor. Common sharing memories 16, 26 are accessed by both of the CPUs 12, 20 and the access contention produced by allowing both the CPUs 10, 20 to make simultaneous access is avoided by executing an access request from the master processor with priority.

- COPYRIGHT: (C)1995,JPO

12.26
2551306

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-44502

(43) 公開日 平成7年(1995)2月14日

(51) Int.Cl.⁵

G 0 6 F 15/16

識別記号

序内整理番号

F I

技術表示箇所

S 7429-5L

3 5 0 R 7429-5L

審査請求 有 請求項の数 5 O L (全 6 頁)

(21) 出願番号

特願平5-188382

(22) 出願日

平成5年(1993)7月29日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 姉崎 資

東京都港区芝五丁目7番1号 日本電気株式会社内

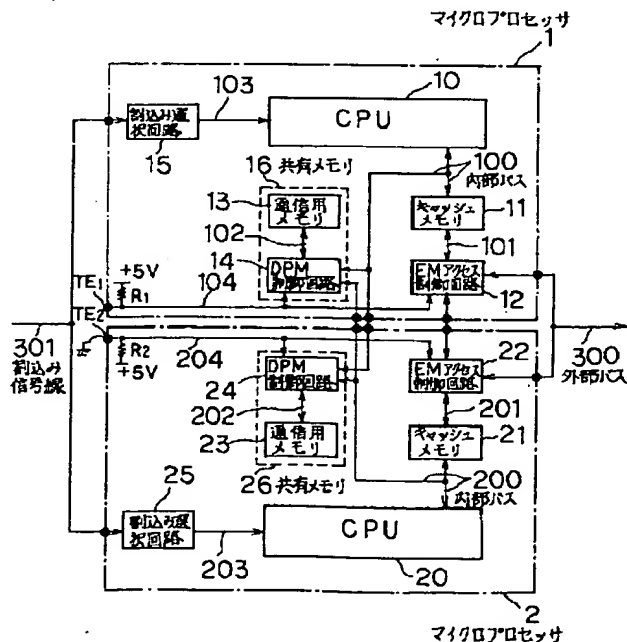
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 デュアル マイクロプロセッサ装置

(57) 【要約】

【目的】 マイクロプロセッサにおいて、面对称に作成した2つのプロセッサを裏面同士貼り合わせることで、処理能力を向上させるとともに実装面積を削減することを目的とする。

【構成】 2つの面对称のマイクロプロセッサは、独立動作を可能とするため、それぞれキャッシュメモリ、外部アクセス制御回路、共有メモリ、割込み選択回路を備え、裏面同士貼り合わされている。外部バスの使用競合、共有メモリのアクセス競合を避けるために、優先権設定回路が設けられている。



【特許請求の範囲】

【請求項1】 第1のマイクロプロセッサが形成されている第1のチップと、

第1のマイクロプロセッサと同一の構成要素で成り、各構成要素が第1のマイクロプロセッサの対応する構成要素と相互に対称の位置に配置されている第2のマイクロプロセッサが形成されている第2のチップとを有し、第1、第2のチップは、裏面が相互に貼り合わされてIC基板に固定され、

第1、第2のマイクロプロセッサはそれぞれ、第1、第2のCPUと、それぞれのCPUが実行すべきプログラムが格納される第1、第2のキャッシュメモリ手段と、それぞれのキャッシュメモリ手段に読み込むべきプログラムが格納されている外部メモリを外部バスを介してアクセス制御し、かつ、第1、第2のキャッシュメモリ手段をそれぞれアクセス制御する機能を有する第1、第2の外部メモリアクセス制御手段と、第1および第2のCPUのアクセス要求に従ってアクセスされる第1、第2の共有メモリ手段を有し、

第1、第2のマイクロプロセッサは、さらに前記外部バスを優先使用するための外部バス使用権と、第1および第2の共有メモリ手段へのアクセスを優先実行するための共有メモリアクセス権との両者を、第1、第2のマイクロプロセッサのいずれか一方に設定する優先権設定手段を有する、デュアルマイクロプロセッサ装置。

【請求項2】 第1のキャッシュメモリ手段は、第1のCPUが実行すべきプログラムを第1のキャッシュメモリ手段が蓄積していないとき、または第1のCPUがプログラムを実行するために必要なデータを第1のキャッシュメモリ手段が蓄積していないとき、外部メモリへのアクセス要求を出力する手段を備え、

第1の外部メモリアクセス制御手段は、優先権設定手段が第1のマイクロプロセッサに外部バス使用権を設定している場合において、第1のキャッシュメモリからアクセス要求があったときには、第2の外部メモリアクセス制御手段の外部バス使用を禁止し、外部バスを経由して外部メモリから前記プログラムまたは前記データを読み出して第1のキャッシュメモリ手段に書き込み、第1のキャッシュメモリからのアクセス要求がないときには、第2の外部メモリアクセス制御手段の外部バス使用を許可し、優先権設定手段が第2のマイクロプロセッサに外部バス使用権を設定している場合において、第1のキャッシュメモリ手段からアクセス要求があったときには、第2の外部メモリアクセス制御手段の許可を得て、外部メモリへアクセスする手段を備え、

第1および第2の共有メモリは、第1、第2のCPUから同時にアクセス要求があったときには、優先権設定手段が共有メモリアクセス権を設定しているマイクロプロセッサに属するCPUからのアクセス要求に優先的に応答する手段を備えている、請求項1に記載の装置。

【請求項3】 デュアルマイクロプロセッサ装置は負荷分散処理用の装置であり、各CPUが実行すべきプログラムは、負荷分散処理のために当該CPUに割り当てられたジョブを実行するためのプログラムである、請求項2に記載の装置。

【請求項4】 第1、第2のCPUは、それぞれが実行した分散処理結果に関する情報である第1、第2の情報をそれぞれ第1、第2の共有メモリ手段に書き込み、第1のCPUから第2のCPUへの通信は、第2のCPUが第1の共有メモリ手段から第1の情報を読み出すことによって行われ、第2のCPUから第1のCPUへの通信は、第1のCPUが第2の共有メモリ手段から第2の情報を読み出すことによって行われる、請求項3に記載の装置。

【請求項5】 第1、第2のマイクロプロセッサはそれぞれ第1、第2の割り込み選択回路を有し、第1、第2の割り込み選択回路は、同一のボンディング端子を介して外部装置から割り込み信号を入力して第1、第2のCPUのそれぞれに割り当てられているジョブに該当する割り込み要求を第1、第2のCPUに伝達する、請求項4に記載の装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デュアルマイクロプロセッサ装置に関し、特に、分散処理用デュアルマイクロプロセッサ装置に関する。

【0002】

【従来の技術】最近、マイクロプロセッサを用いた処理装置は、益々、高い処理能力をもつことが要求されている。この要求は、場合によっては単一のマイクロプロセッサの処理能力の限度を超えるまでになる。この問題を解決するために、複数のCPUを用いるマルチプロセッサ方式が数多く提案されている。このような方式の一例として、特開昭61-50223号に記載されたデュアルプロセッサシステムを挙げることができる。このシステムは、2つのプロセッサを備え、それぞれのプロセッサにはメモリが設けられている。これらのメモリは、バスで相互に接続され同じデータが保持されている。このデュアルプロセッサシステムは、所定の条件にตอบสนองして第1のモードと第2のモードのいずれかを選択して動作する。第1のモードでは両方のプロセッサが活性状態にあって、独立してそれぞれのタスクを実行する。第2のモードでは、一方のプロセッサが不活性で他方のプロセッサは活性であり、活性のプロセッサは、前記それぞれのタスクのうちの選択されたタスクを実行する。このようにして処理能力および信頼性を向上させるようにしている。

【0003】

【発明が解決しようとする課題】上記の従来のデュアルマイクロプロセッサシステムにおいては、基板上に

2つ分のマイクロプロセッサ及び周辺回路部品を乗せる必要があり2倍の面積を必要とし、また、マイクロプロセッサの機能が複雑になるほど端子の数が多くなり専有面積が大きくなるとともに、配線のために多層基板を使用しなければならないという問題点があった。本発明の目的は、各々のマイクロプロセッサが独立に動作することが可能で実装面積が小さく、負荷分散処理に適したデュアル マイクロプロセッサ装置を提供することにある。

【0004】

【課題を解決するための手段】本発明のデュアル マイクロプロセッサ装置は、第1のマイクロプロセッサが形成されている第1のチップと、第1のマイクロプロセッサと同一の構成要素で成り、各構成要素が第1のマイクロプロセッサの対応する構成要素と相互に対称の位置に配置されている第2のマイクロプロセッサが形成されている第2のチップとを有し、第1、第2のチップは、裏面が相互に貼り合わされてIC基板に固定されている。

【0005】第1、第2のマイクロプロセッサはそれぞれ、第1、第2のCPUと、それぞれのCPUが実行すべきプログラムが格納される第1、第2のキャッシュメモリ手段と、それぞれのキャッシュメモリ手段に読み込むべきプログラムが格納されている外部メモリを外部バスを介してアクセス制御し、かつ、第1、第2のキャッシュメモリ手段をそれぞれアクセス制御する機能を有する第1、第2の外部メモリアクセス制御手段と、第1および第2のCPUのアクセス要求に従ってアクセスされる第1、第2の共有メモリ手段を有する。

【0006】第1、第2のマイクロプロセッサは、さらに、前記外部バスを優先使用するための外部バス使用権と、第1および第2の共有メモリ手段へのアクセスを優先実行するための共有メモリアクセス権との両者を、第1、第2のマイクロプロセッサのいずれか一方に設定する優先権設定手段を有する。

【0007】

【作用】対称に構成された2つのマイクロプロセッサが背中合わせに貼り合わされているので、処理能力が向上すると共に実装面積が削減される。各マイクロプロセッサは固有のCPUと固有の周辺装置を備えているので、独立に動作することができ、その独立動作によって相互に競合する部分については、その使用について優先権を設定して競合を回避することができる。2つのマイクロプロセッサは、各々のCPUによってアクセスすることができる共有メモリ手段をそれぞれ備えているので、各共有メモリ手段は、各マイクロプロセッサの独立動作のために使用されると共に、マイクロプロセッサ間の相互通信に使用することができる。このように、本発明のデュアル マイクロプロセッサ装置は独立動作が可能で、かつ、相互通信手段を備えているので負荷分散処

理に適している。

【0008】

【実施例】次に、本発明の実施例を図面を参照して説明する。図1は本発明のデュアルマイクロプロセッサ装置の一実施例の斜視図である。図2は本発明のデュアルマイクロプロセッサ装置の一実施例のブロック図である。図1には、面对称のマスクパターン群によって製造されたマイクロプロセッサのチップA、Bを裏面同士貼り合わせ、IC基板にボンディングされたデュアル マイクロプロセッサ装置の外観が示され、チップA、Bの対応する端子はボンディング端子TEによって接続されている。このボンディング端子のうちの1対のボンディング端子TE₁、TE₂（TE₂は図示されていない）は後述するように、マイクロプロセッサのマスタ・スレーブ動作の指定をするために用いられ、その指定は、本実施例においては、その一対のボンディング端子のうちのスレーブ マイクロプロセッサに接続される端子TE₂をグランド接続する（図2参照）ことによって行われる。

【0009】図2において、マイクロプロセッサ1、2は、その構成要素が面对称に位置するように製造されている。図中、黒い丸印しは、ボンディング端子によって相互に接続されるマイクロプロセッサの端子を示す。CPU10、20は、キャッシュメモリ11、21に格納されているプログラムに従って演算・制御を行う。外部メモリ（EM）アクセス制御回路12、22は、CPU10、20が実行すべきプログラムが格納されている外部メモリ（図示せず）を外部バス300を経由して読み出すために、当該外部メモリを読み出し制御をすると共に読み出されたプログラムをキャッシュメモリ11、21に書き込むための書き込み制御を行なう。2つの外部メモリアクセス制御回路12、22が1つの外部バス300を使用することによって生ずる競合は、一方のマイクロプロセッサに優先権を付与してマスタプロセッサとし、マスタプロセッサに所属する外部メモリアクセス制御回路にバス使用権を与えることによって回避される。以下、優先権が付与されないマイクロプロセッサをスレーブプロセッサと呼称する。

【0010】前記したように、本発明のデュアル マイクロプロセッサ装置は、負荷分散を目的とする分散処理システムを構成する。従って、一方のマイクロプロセッサが実行した処理結果を他方のマイクロプロセッサに通信する通信システムを備えている。本実施例の通信システムは、それぞれのマイクロプロセッサに設けられた共有メモリ16、26によって構成され、各共有メモリ16、26は、CPU10および20の双方によってアクセスされることができる。両方のCPU10、20が同時にアクセスすることによって生ずるアクセス競合は、マスタ プロセッサからのアクセス要求を優先して実行させることによって回避される。各々の共有メモリ16、26は、構造的にはデュアル ポート メモリ（D

PM)で、通信用メモリ13、23とDPM制御回路14、24によって構成されている。DPM制御回路14は、CPU10から書き込みまたは読み出し要求があった場合には、通信用メモリ13を制御してCPU10が指定する情報を書き込み、または読み出す。同様に、DPM制御回路24は、CPU20から書き込み、または読み出し要求があった場合には、通信用メモリ23を制御してCPU20が指定する情報を書き込み、または読み出す。

【0011】CPU間の通信は、送信側の通信用メモリの読み出しと、受信側通信用メモリの書き込みを並行して実行することによって、達成される。CPU20がCPU10に送信要求を送ると、DPM制御回路14は、CPU20が指定する情報を通信用メモリ13から内部バス100上に読み出し、DPM制御回路24は、その情報を通信用メモリに書き込む。同様に、CPU10からの送信要求があったとき、DPM制御回路24は、CPU10が指定する情報を通信用メモリ23から内部バス200上に読み出し、DPM制御回路14は、その情報を通信用メモリ13に書き込む。通信用メモリに格納され、CPU間通信で送受信される情報は、それぞれのCPUが実行したジョブの識別番号、当該ジョブの処理結果を格納している外部共有メモリ(図示せず)のアドレス、当該ジョブの実行が終了したか、否かの情報等、それぞれのCPUの処理結果に関する情報である。

【0012】2つのCPU10、20から外部メモリへのアクセスの競合、共有メモリへのアクセスの競合は、優先権設定回路によって回避される。優先権設定回路は、+5Vの電源、該電源に接続されたプルアップ抵抗 R_1 、 R_2 、プルアップ抵抗によってプルアップされる優先権設定線104、204で成り、各々の優先権設定線104、204の一端は、ボンディング端子 TE_1 、 TE_2 に接続されている。本実施例では、マイクロプロセッサ2をスレーブプロセッサに設定するためにボンディング端子 TE_2 がグランド接続されている。それぞれの優先権設定線104、204は、DPM制御回路および外部メモリアクセス制御回路の優先権設定信号入力に接続されている。したがって、DPM制御回路14は論理1の優先権設定信号に従って、また、DPM制御回路24は論理0の優先権設定信号に従って、CPU10からのアクセス要求をCPU20からのアクセス要求に優先させて処理する。外部メモリアクセス制御回路12は論理1の優先権設定信号を入力すると、自回路12が外部バス300の使用権をもっていることを認識して外部メモリへのアクセスを処理する。外部メモリアクセス制御回路22は論理0の優先権設定信号を入力すると、自回路22が外部バス300の使用権をもっていないことを認識し、外部メモリアクセス制御回路12の許可を得て(外部メモリアクセス制御回路12の、外部バス使用中を示す標識が立っていないことを確認して)外部メモ

リにアクセスし、または、外部メモリアクセス制御回路12を介して外部メモリにアクセスする。後者の場合には、スレーブ側外部メモリアクセス制御回路22は、外部アクセスをマスタ側外部メモリアクセス制御回路12に伝達するのみである。

【0013】割込み信号線301は、ボンディング端子を経て割込み選択回路15、25に接続され、複数の割込み要求信号を伝送する。割込み選択回路15、25は、それぞれのCPU10、20に割当てられているジョブと、割込み要求信号が示す割込み処理内容とを比較し、それぞれのCPUに割当てられているジョブに該当する割込み要求信号以外の割込み要求信号を選択的にマスクし、当該ジョブに該当する割込み要求信号を信号線103、203を介してCPU10、20に伝送する。

【0014】図2において、信号線101、201は、キャッシュメモリ11、21にCPU10、20が実行すべきプログラム、またはCPU10、20がプログラムを実行するために必要なデータが存在しない場合に、キャッシュメモリ11、21側から外部メモリアクセス制御回路12、22へ、外部メモリへのアクセス要求を伝送する制御線、および、外部メモリから送信されたプログラムまたはデータを外部メモリアクセス制御回路12、22を介してキャッシュメモリ11、21に伝送するデータ線およびアドレス線を表わす。外部バス300は、アドレス線、データ線、制御線から成るバスである。信号線102、202は通信用メモリのアクセスのためのアドレス線、データ線および制御線である。

【0015】次に、本実施例の動作を説明する。まず、第1、第2のマイクロプロセッサの外部バスの使用競合、および共有メモリ16、26へのアクセス競合を回避するために、ボンディング端子 TE_2 をグランド接続して、マイクロプロセッサ1に優先権を設定する。通常、CPU10はキャッシュメモリ11のプログラムにより動作を行うため外部メモリへアクセスを行う必要がないが、キャッシュメモリ11上に、必要なプログラムまたは必要なデータが無い場合には外部メモリアクセス制御回路12の制御のもとで外部メモリからプログラムまたはデータをキャッシュメモリ上に読み出す。同様にCPU20はキャッシュメモリ21のプログラムにより動作を行うため外部メモリへアクセスを行う必要がないが、キャッシュメモリ21上に、必要なプログラムまたは必要なデータが無い場合には、キャッシュメモリ21はスレーブ側外部メモリアクセス制御回路22に外部メモリへのアクセス要求を送信し、スレーブ側外部メモリアクセス制御回路22は、マスタ側外部メモリアクセス制御回路12の許可を得て外部メモリにアクセスする。また、この場合の他の実施例として、キャッシュメモリ21は、外部メモリアクセス制御回路22を介してマスタ側外部メモリアクセス制御回路12にアクセス要求をだし外部メモリアクセス制御回路12の制御のもとで外

部メモリからプログラムまたはデータをキャッシュメモリ上に読み出しを行う。このときスレーブ側外部メモリアクセス制御回路22は単に外部アクセスをマスタ側外部メモリアクセス制御回路12に伝えるのみである。CPU10, 20が実行するジョブは、分散負荷である。したがって、それぞれのCPUは、当該CPUが実行した処理結果に関する情報を一旦、共有メモリ16, 26に蓄積した後、CPU10による読出しを優先させた上で、必要に応じて共有メモリ16, 26を読み出すことによって、それぞれの処理結果を通信する。

【0016】割込み要求が生じたときには、負荷分散によって、それぞれのCPUに割り当てられているジョブに該当する割込み要求を当該CPUが受付ける。このように、割込み処理内容によって、それぞれのCPUに該当する処理を当該CPUに実行させることにより、負荷分散が達成される。

【0017】

【発明の効果】以上説明したように、本発明は次の効果を有する。

【0018】1) 面対称に構成された2つのマイクロプロセッサが背中合わせに貼り合わされているので、処理能力が向上すると共に実装面積が削減される。2) 各マイクロプロセッサは固有のCPUと固有の周辺装置を備えているので、独立に動作することができ、その独立動作によって相互に競合する部分については、その使用について優先権を設定して競合を回避することができる。3) 2つのマイクロプロセッサは、各々のCPUによってアクセスすることができる共有メモリ手段をそれぞれ

備えているので、各共有メモリ手段は、各マイクロプロセッサの独立動作のために使用されると共に、マイクロプロセッサ間の相互通信に使用することができる。4) このように、独立動作が可能で、かつ、相互通信手段を備えているので負荷分散処理に適している。

【図面の簡単な説明】

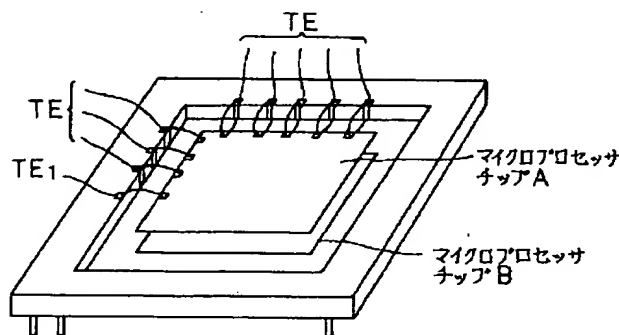
【図1】本発明のデュアル マイクロプロセッサ装置の一実施例の斜視図である。

【図2】本発明のデュアル マイクロプロセッサ装置の一実施例のブロック図である。

【符号の説明】

1, 2	マイクロプロセッサ
10, 20	CPU
11, 21	キャッシュメモリ
12, 22	外部メモリ (EM) アクセス制御回路
13, 23	通信用メモリ
14, 24	DPM制御回路
15, 25	割込み選択回路
16, 26	共有メモリ
100, 200	内部バス
104, 204	優先権設定線
300	外部バス
301	割込み信号線
101, 102, 103, 201, 202, 203	信号線
TE, TE ₁ , TE ₂	ボンディング端子
R ₁ , R ₂	プルアップ抵抗

【図1】



【図 2】

